

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月10日
Date of Application:

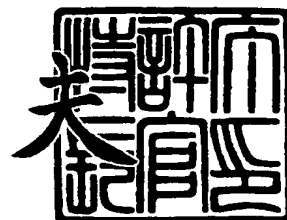
出願番号 特願2002-358586
Application Number:
[ST. 10/C]: [JP 2002-358586]

出願人 松下電器産業株式会社
Applicant(s):

2003年 9月10日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 5037640033

【提出日】 平成14年12月10日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 17/18

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 仲矢 修治

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 林 光昭

【特許出願人】

 【識別番号】 000005821

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100062926

 【弁理士】

 【氏名又は名称】 東島 隆治

【手数料の表示】

 【予納台帳番号】 031691

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9901660

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 記憶装置選択情報及びアドレス情報に応じてメモリセルから読み出したデータを出力する読み出し専用記憶装置と、切り替え装置とを有し、
前記切り替え装置は、

前記読み出し専用記憶装置の欠陥メモリセルの前記アドレス情報を記憶するアドレス記憶回路と、

前記欠陥メモリセルの置換データを記憶するデータ記憶回路と、

前記読み出し専用記憶装置の出力データと前記データ記憶回路の出力データとを入力し、前記アドレス記憶回路に記憶された前記アドレス情報に基づいて、いずれか一方を出力する切り替え回路と、

を有することを特徴とする半導体装置。

【請求項 2】 出力データ線を共有し記憶装置選択情報及びアドレス情報に応じてメモリセルから読み出したデータを出力する複数の読み出し専用記憶装置と、切り替え装置とを有し、

前記切り替え装置は、

複数の前記読み出し専用記憶装置の少なくともいずれか 1 つの欠陥メモリセルの前記記憶装置選択情報及び前記アドレス情報を記憶するアドレス記憶回路と、

前記欠陥メモリセルの置換データを記憶するデータ記憶回路と、

前記出力データ線を通じて出力された前記読み出し専用記憶装置の出力データと前記データ記憶回路の出力データとを入力し、前記アドレス記憶回路に記憶された前記記憶装置選択情報及び前記アドレス情報に基づいて、いずれか一方を出力する切り替え回路と、

を有することを特徴とする半導体装置。

【請求項 3】 別個の出力データ線を有し記憶装置選択情報及びアドレス情報に応じてメモリセルから読み出したデータを出力する複数の読み出し専用記憶装置と、切り替え装置とを有し、

前記切り替え装置は、

複数の前記読み出し専用記憶装置の少なくともいずれか 1 つの欠陥メモリセルの前記記憶装置選択情報及び前記アドレス情報を記憶するアドレス記憶回路と、
前記欠陥メモリセルの置換データを記憶するデータ記憶回路と、

前記出力データ線を通じて出力された前記読み出し専用記憶装置の出力データと前記データ記憶回路の出力データとを入力し、前記アドレス記憶回路に記憶された前記記憶装置選択情報及び前記アドレス情報に基づいて、いずれか一方を出力する前記出力データ線毎に配置された複数の切り替え回路と、

を有することを特徴とする半導体装置。

【請求項 4】 前記データ記憶回路に代えて、前記欠陥メモリセルの欠陥ビットのビット情報を記憶するビット記憶回路、又は前記欠陥ビットのビット情報を記憶するビット記憶回路及び前記欠陥ビットの置換データを記憶するデータ記憶回路を有し、

前記切り替え回路は、前記読み出し専用記憶装置の出力データと、前記読み出し専用記憶装置の出力データの反転信号又は前記データ記憶回路の出力データ又は 0 又は 1 の固定データと、を入力し、更に前記ビット情報に基づいて、いずれか一方をビット単位で選択して出力する、

ことを特徴とする請求項 1 から請求項 3 のいずれかに記載の半導体装置。

【請求項 5】 冗長メモリセルを備え記憶装置選択情報及びアドレス情報に応じてメモリセルアレイから読み出したデータを出力する書き換え可能な記憶装置と、前記記憶装置選択情報及びアドレス情報に応じてメモリセルアレイから読み出したデータを出力する読み出し専用記憶装置と、切り替え装置とを有し、

前記切り替え装置は、

前記書き換え可能な記憶装置の欠陥メモリセルの前記記憶装置選択情報及びアドレス情報、並びに前記読み出し専用記憶装置の欠陥メモリセルの前記記憶装置選択情報及びアドレス情報を記憶するアドレス記憶回路と、

前記読み出し専用記憶装置の欠陥メモリセルの置換データを記憶するデータ記憶回路と、

前記読み出し専用記憶装置の出力データと前記データ記憶回路の出力データとを入力し、前記アドレス記憶回路に記憶された前記記憶装置選択情報及び前記ア

ドレス情報に基づいて、いずれか一方を出力する切り替え回路と、
を有し、

前記書き換え可能な記憶装置は、

前記アドレス記憶回路に記憶された前記記憶装置選択情報及び前記アドレス情報に基づいて、通常のメモリセルアレイから読み出した出力データと前記冗長メモリセルから読み出した出力データのいずれか一方を出力する、
ことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に搭載する読み出し専用記憶装置に関し、特に製造段階で情報が書き込まれるマスクROM（リードオンリメモリ）に関するものである。

【0002】

【従来の技術】

近年、マスクROMにおいては、製造プロセスの微細化と記憶容量の大容量化に伴って、製造歩留りを向上させることが重要な課題となっている。マスクROMの製造歩留りを向上させることを目的として、欠陥メモリセルを予備のメモリセルと置き換える手法が提案されている。以下、具体的に図面を用いて説明する。

図13は従来例の半導体装置の構成を示す回路図である。第13図の半導体装置は、制御回路3、アドレス入力回路4、ロウデコーダ5、メモリセルアレイ6、コラムデコーダ7、センスアンプ回路8、出力回路9、アドレス記憶回路10、データ記憶回路11、メモリセルアレイ6のデータとデータ記憶回路11のデータを入力しアドレス記憶回路10の出力情報に基づいていずれか一方を選択して出力する切り替え回路20から構成される。

【0003】

図2はアドレス記憶回路10の一構成例を示す図である。アドレス記憶回路10は、メモリセルアレイ6の中の置換するメモリセル（欠陥メモリセル）のアドレスを記憶する。図2においてアドレス記憶回路10は、アドレス信号AD1～

AD_nを入力する。アドレス信号AD₁～AD_nはトランジスタTRP₁～TRP_nのゲート端子とインバータ201～20nの入力に接続する。インバータ201～20nの出力はトランジスタTRN₁～TRN_nのゲート端子に接続する。各トランジスタTRP₁～TRP_n、TRN₁～TRN_nのソースは接地し、ドレインはフューズ素子FAP₁～n、FAN₁～nを介して二段インバータ221～222の入力に接続する。二段インバータ221～222の出力信号（制御信号）RADはデータ記憶回路11と切り替え回路20とに伝達される。

【0004】

欠陥メモリセルがある場合、製造工程において欠陥メモリセルのアドレス信号AD₁～AD_nの値に応じて、図2のアドレス記憶回路10のフューズ素子をレーザで溶断する。即ち、欠陥メモリセルのアドレス信号AD_i（ i は $1 \leq i \leq n$ の任意の整数）が1（Highレベル）であれば、フューズ素子FAP_iを溶断し、欠陥メモリセルのアドレス信号AD_iが0（Lowレベル）であれば、フューズ素子FAN_iを溶断する。その後、アドレス信号AD₁～AD_nが欠陥メモリセルのアドレスと一致した時、制御信号RADはHighレベルとなり、アドレス信号AD₁～AD_nが欠陥メモリセル以外のアドレスである時、Lowレベルとなる。

【0005】

図3はデータ記憶回路11の一構成例を示す図である。データ記憶回路11は、メモリセルアレイ6の中の置換するメモリセル（欠陥メモリセル）のmビットのデータを記憶する。データ記憶回路11は、アドレス記憶回路10からの制御信号RADを入力し、制御信号RADをトランジスタTRD₁～TRD_mのゲート端子に入力する。各トランジスタのソースは接地し、ドレインはフューズ素子FD₁～mを介して各々二段インバータ301～30mの入力に接続する。二段インバータ301～30mの出力データRD₁～mは切り替え回路20に伝達される。

【0006】

欠陥メモリセルがある場合、欠陥メモリセルに格納するはずであったmビットのデータをデータ記憶回路11のm個の回路に記憶させる。具体的には製造工程において、欠陥メモリセルのアドレス信号AD₁～AD_nをアドレス記憶回路1

0に入力し、制御信号RADをHighレベルにする。データ記憶回路11はHighレベルの制御信号RADを入力する。データ記憶回路11のトランジスタTRD1～TRDmが全て導通する。

欠陥メモリセルに格納するはずであったmビットのデータDATA1～DATAmに応じて、データDATAj（jは $1 \leq j \leq m$ の任意の整数）がHighレベルであればそのビットのフューズ素子FDjをレーザで溶断する。DATAjが0（Lowレベル）であれば、フューズ素子FDjは溶断しない。これにより、制御信号RADがHighレベルになる時（欠陥メモリセルのアドレス信号AD1～ADnが半導体装置に入力されると）、データ記憶回路11は、欠陥メモリセルのmビットのデータを出力する。

【0007】

図14は従来例の半導体装置の切り替え回路20の一構成例を示す図である。切り替え回路20のm個の選択回路1401～140mは、センスアンプ回路を介するメモリセルアレイ6の出力データSO1～SOmとデータ記憶回路11の出力データRD1～RDmとをそれぞれ入力し（いずれもmビットの出力データ）、アドレス記憶回路10が出力する制御信号RADに従っていずれか一方を選択してデータDI1～mとして出力する。データDI1～mは出力回路9に入力される。切り替え回路20は、制御信号RADがHighレベルの場合にはデータRD1～mを出力し、制御信号RADがLowレベルの場合にはデータSO1～mを出力する。

【0008】

上記のように、メモリセルアレイ6に欠陥メモリセルがある場合、欠陥メモリセルのアドレスをアドレス記憶回路10のフューズFAP1～n、FAN1～nの該当するフューズを切断することで記憶する。また、欠陥メモリセルのデータをデータ記憶回路11のフューズFD1～mの該当するフューズを切断することで記憶する。アドレス入力信号AD1～nが、欠陥メモリセルのアドレスと一致した場合、アドレス記憶回路10が出力する制御信号RADはHighレベルとなり切り替え回路20はデータ記憶回路11のデータを出力し、出力回路9からはデータ記憶回路11のデータが出力される。アドレス信号AD1～nが、欠陥メモ

リセルのアドレスと一致しない場合、アドレス記憶回路10が出力する制御信号RADはLowレベルとなり、切り替え回路20はメモリセルアレイ6のデータを出力する。出力回路9は、選択信号CS1（記憶装置選択情報）に従って（選択信号CS1によりそのマスクROMコアが選択された場合に）、メモリセルアレイ6のデータを出力する。

【0009】

【特許文献1】

特許第2981346号公報

【特許文献2】

特許第3262033号公報

【特許文献3】

特開平11-260094号公報

【0010】

【発明が解決しようとする課題】

近年の半導体装置は、その高機能化に伴い、高速読み出し型で且つ小容量のマスクROMコア（「記憶装置」と呼ぶ。）を複数個搭載している。従来の半導体装置は、マスクROMコアのセンスアンプ回路8と出力回路9の間に切り替え回路20を備えていた。

アドレス記憶回路10がアドレス信号AD1～nを入力してから、データ記憶回路11から読み出されたデータが切り替え回路20に到達するまでの伝達遅延時間は、アドレス回路4がアドレス信号AD1～nを入力してから、高速読み出し型のメモリセルアレイ6から読み出されたデータが切り替え回路20に到達するまでの伝達遅延時間より長い。このため、欠陥メモリセルをアドレス記憶回路10及びデータ記憶回路11に置換した場合のデータの読み出し時間が、通常のデータの読み出し時間より遅くなる問題があった。

【0011】

一般にフューズ素子は極めて大きなチップ面積を占有する。従来の半導体装置は、欠陥メモリセルのデータを置換するアドレス記憶回路及びデータ記憶回路をROMコア毎に備える構造を有していたため（欠陥メモリセルのデータとその置

換データとの切り替えをマスクROMコア毎にその内部で行うという構成を有していたため)、複数のマスクROMコアを有する半導体装置のチップ面積が増加するという問題があった。

本発明は上記課題を解決し、欠陥メモリセルをアドレス記憶回路及びデータ記憶回路に置換した場合のデータの読み出し時間が、メモリセルアレイからデータを読み出した場合のデータの読み出し時間と同等である半導体装置を提供することを目的とする。

また本発明は、アドレス記憶回路とデータ記憶回路とを複数のマスクROMコアで共有する構造により、複数のマスクROMコアを有しチップ面積が小さい半導体装置を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体装置は、欠陥メモリセルのデータとその置換データとの切り替えをマスクROMコアを含む記憶装置の出力データ線で行う構成を有する。また、アドレス記憶回路とデータ記憶回路を複数のマスクROMコアで共有する構成を有する。

請求項1記載の半導体装置は、記憶装置選択情報及びアドレス情報に応じてメモリセルから読み出したデータを出力する読み出し専用記憶装置と、切り替え装置とを有し、前記切り替え装置は、前記読み出し専用記憶装置の欠陥メモリセルの前記アドレス情報を記憶するアドレス記憶回路と、前記欠陥メモリセルの置換データを記憶するデータ記憶回路と、前記読み出し専用記憶装置の出力データと前記データ記憶回路の出力データとを入力し、前記アドレス記憶回路に記憶された前記アドレス情報に基づいて、いずれか一方を出力する切り替え回路と、を有することを特徴とする。

欠陥メモリセルのデータの置換を読み出し専用記憶装置の出力データ線で行う構成により、欠陥メモリセルをアドレス記憶回路及びデータ記憶回路に置換した場合のデータの読み出し時間が、メモリセルアレイからデータを読み出した場合のデータの読み出し時間と同等である半導体装置を実現できる。

【0013】

請求項 2 記載の半導体装置は、出力データ線を共有し記憶装置選択情報及びアドレス情報に応じてメモリセルから読み出したデータを出力する複数の読み出し専用記憶装置と、切り替え装置とを有し、前記切り替え装置は、複数の前記読み出し専用記憶装置の少なくともいずれか 1 つの欠陥メモリセルの前記記憶装置選択情報及び前記アドレス情報を記憶するアドレス記憶回路と、前記欠陥メモリセルの置換データを記憶するデータ記憶回路と、前記出力データ線を通じて出力された前記読み出し専用記憶装置の出力データと前記データ記憶回路の出力データとを入力し、前記アドレス記憶回路に記憶された前記記憶装置選択情報及び前記アドレス情報に基づいて、いずれか一方を出力する切り替え回路と、を有することを特徴とする。

【0014】

本発明の構成によれば、請求項 1 における作用に加えて更に、出力データ線を共通にする 2 個以上の読み出し専用記憶装置の間でアドレス記憶回路とデータ記憶回路とを共有できるので、アドレス記憶回路及びデータ記憶回路の面積の増加を抑えて 2 個以上の読み出し専用記憶装置の欠陥メモリセルのデータの置換が可能となる。

【0015】

請求項 3 記載の半導体装置は、別個の出力データ線を有し記憶装置選択情報及びアドレス情報に応じてメモリセルから読み出したデータを出力する複数の読み出し専用記憶装置と、切り替え装置とを有し、前記切り替え装置は、複数の前記読み出し専用記憶装置の少なくともいずれか 1 つの欠陥メモリセルの前記記憶装置選択情報及び前記アドレス情報を記憶するアドレス記憶回路と、前記欠陥メモリセルの置換データを記憶するデータ記憶回路と、前記出力データ線を通じて出力された前記読み出し専用記憶装置の出力データと前記データ記憶回路の出力データとを入力し、前記アドレス記憶回路に記憶された前記記憶装置選択情報及び前記アドレス情報に基づいて、いずれか一方を出力する前記出力データ線毎に配置された複数の切り替え回路と、を有することを特徴とする。

【0016】

本発明の構成によれば、請求項 1 における作用に加えて更に、出力データ線が

異なる 2 個以上の読み出し専用記憶装置の間でアドレス記憶回路及びデータ記憶回路を共有できるので、アドレス記憶回路及びデータ記憶回路の面積の増加を抑えて 2 個以上の読み出し専用記憶装置の欠陥メモリセルのデータの置換が可能となる。

【0017】

請求項 4 記載の半導体装置は、前記データ記憶回路に代えて、前記欠陥メモリセルの欠陥ビットのビット情報を記憶するビット記憶回路、又は前記欠陥ビットのビット情報を記憶するビット記憶回路及び前記欠陥ビットの置換データを記憶するデータ記憶回路を有し、前記切り替え回路は、前記読み出し専用記憶装置の出力データと、前記読み出し専用記憶装置の出力データの反転信号又は前記データ記憶回路の出力データ又は 0 又は 1 の固定データと、を入力し、更に前記ビット情報に基づいて、いずれか一方をビット単位で選択して出力する、ことを特徴とする請求項 1 から請求項 3 のいずれかに記載の半導体装置である。

本発明の構成によれば、ビット単位で置換データを記憶するので、データ記憶回路の面積を更に小さくすることが出来る。

【0018】

請求項 5 記載の半導体装置は、冗長メモリセルを備え記憶装置選択情報及びアドレス情報に応じてメモリセルアレイから読み出したデータを出力する書き換え可能な記憶装置と、前記記憶装置選択情報及びアドレス情報に応じてメモリセルアレイから読み出したデータを出力する読み出し専用記憶装置と、切り替え装置とを有し、前記切り替え装置は、前記書き換え可能な記憶装置の欠陥メモリセルの前記記憶装置選択情報及びアドレス情報、並びに前記読み出し専用記憶装置の欠陥メモリセルの前記記憶装置選択情報及びアドレス情報を記憶するアドレス記憶回路と、前記読み出し専用記憶装置の欠陥メモリセルの置換データを記憶するデータ記憶回路と、前記読み出し専用記憶装置の出力データと前記データ記憶回路の出力データとを入力し、前記アドレス記憶回路に記憶された前記記憶装置選択情報及び前記アドレス情報に基づいて、いずれか一方を出力する切り替え回路と、を有し、前記書き換え可能な記憶装置は、前記アドレス記憶回路に記憶された前記記憶装置選択情報及び前記アドレス情報に基づいて、通常のメモリセルア

レイから読み出した出力データと前記冗長メモリセルから読み出した出力データのいずれか一方を出力する、ことを特徴とする。

本発明の構成によれば、請求項 1 における作用に加えて更に、読み出し専用記憶装置と書き換え可能な記憶装置との間でアドレス記憶回路を共有できるので、アドレス記憶回路の面積の増加を抑えて、読み出し専用記憶装置と書き換え可能な記憶装置との欠陥メモリセルのデータの置換が可能となる。

【0019】

【発明の実施の形態】

以下本発明の実施をするための最良の形態を具体的に示した実施例について、図面とともに記載する。

【0020】

《実施例 1》

図 1 は本発明の実施例 1 に係る半導体装置の構成を示す回路図である。図 1 に示す半導体装置は、マスク ROM コア（記憶装置）1、欠陥メモリセルのデータを置換する切り替え装置 2 を有する。マスク ROM コア（記憶装置）1 は、制御回路 3、アドレス入力回路 4、ロウデコーダ 5、メモリセルアレイ 6、コラムデコーダ 7、センスアンプ回路 8、出力回路 9 を有する。切り替え装置 2 は、メモリセルアレイ 6 の中の置換するメモリセル（欠陥メモリセル）のアドレスを記憶するアドレス記憶回路 10、メモリセルアレイ 6 の中の置換するメモリセルのデータを記憶するデータ記憶回路 11 とを有する。

【0021】

制御回路 3、アドレス入力回路 4、ロウデコーダ 5、メモリセルアレイ 6、コラムデコーダ 7、センスアンプ回路 8、出力回路 9、アドレス記憶回路 10、データ記憶回路 11 は従来例と同一である。同一の構成要素には同一の符号を付してその説明は省略する。図 4 は実施例 1 の半導体装置の切り替え回路 12 の構成を示す図である。切り替え回路 12 の選択回路 401～40m は、出力回路 9 が記憶装置選択信号 CS1 に従って出力した出力データ（マスク ROM コア 1 の出力データ）D1～m と、データ記憶回路 11 の出力データ RD1～m とをそれぞれ入力し、アドレス記憶回路 10 が出力する制御信号 RAD に従っていずれか一

方を選択して出力する。切り替え回路 12 の選択回路 401 ~ 40m は、制御信号 RAD が High レベルの場合には出力データ RD1 ~ m を出力する。選択回路 401 ~ 40m は、制御信号 RAD が Low レベルの場合には出力データ D1 ~ m を出力する。

【0022】

以上のように構成された半導体装置のデータを読み出す動作について説明する。メモリセルアレイ 6 に欠陥のメモリセルがある場合、アドレス記憶回路 10 のフューズ FAP1 ~ n、FAN1 ~ n の該当するフューズを切断することで、欠陥メモリセルのアドレスを記憶する。また、欠陥メモリセルのデータをデータ記憶回路 11 のフューズ FD1 ~ m の該当するフューズを切断することで記憶する。アドレス入力信号 AD1 ~ n が、欠陥メモリセルのアドレスと一致した場合、アドレス記憶回路 10 が出力する制御信号 RAD は High レベルとなり、切り替え回路 12 はデータ記憶回路 11 のデータ RD1 ~ m を出力し、次の回路にはデータ記憶回路 11 のデータ RD1 ~ m が伝達される。アドレス信号 AD1 ~ n が、欠陥メモリセルのアドレスと一致しない場合、アドレス記憶回路 10 が出力する制御信号 RAD は Low レベルとなり、切り替え回路 12 はマスク ROM コア 1 のデータ D1 ~ m を出力し、次の回路にはマスク ROM コア 1 の出力 D1 ~ m が伝達される。

【0023】

従来例（図 13）においては、出力回路 9 は切り替え回路 12 の後に配置されていた。本発明の構成（図 1）においては、メモリセルアレイ 6 と切り替え回路 12 との間に、記憶装置選択信号 CS1 に従って制御される出力回路 9 を配置している。メモリセルアレイ 6 から読み出されたデータが切り替え回路 12 に到達するまでの伝達遅延時間が、出力回路 9 における伝達遅延時間だけ長くなっている。これにより、半導体装置がアドレス信号 AD1 ~ n を入力してからメモリセルアレイ 6 から読み出されたデータが切り替え回路 12 に到達するまでの伝達遅延時間と、半導体装置がアドレス信号 AD1 ~ n を入力してからアドレス記憶回路 10 及びデータ記憶回路 11 から読み出されたデータが切り替え回路 12 に到達するまでの伝達遅延時間とが、ほぼ同じになる。

実施例 1 によれば、欠陥メモリセルのデータの置換を読み出し専用記憶装置の出力データ線で行う構成により、欠陥メモリセルをアドレス記憶回路及びデータ記憶回路に置換した場合のデータの読み出し時間が、メモリセルアレイからデータを読み出した場合のデータの読み出し時間と同等である半導体装置を実現できる。

【0024】

《実施例 2》

図 5 は本発明の実施例 2 に係る半導体装置の構成を示す回路図である。図 5 に示す半導体装置は、マスク ROM コア（記憶装置） 1、欠陥メモリセルのデータを置換する切り替え装置 2 を有する。実施例 2 のマスク ROM コア 1 は、実施例 1 と同一である。切り替え装置 2 は、マスク ROM コア 1 の中の置換するメモリセルのアドレスを記憶するアドレス記憶回路 10、マスク ROM コア 1 の中の置換するメモリセル（欠陥メモリセル）の欠陥ビット情報を記憶するビット記憶回路 14、及び切り替え回路 15 を有する。アドレス記憶回路 10 の構成は、従来例（図 2）と同一である。同一の構成要素には同一の符号を付してその説明は省略する。

【0025】

図 6 は実施例 2 のビット記憶回路 14 の構成を示す図である。ビット記憶回路 14 は、置換するメモリセルの欠陥ビット情報を記憶する回路である。ビット記憶回路 14 は、アドレス記憶回路が出力する制御信号 RAD を入力する。制御信号 RAD はトランジスタ TRB1～TRBp のゲート端子に入力される。p と m の関係は $2^P = m$ である。各トランジスタのソースは接地し、ドレインはフューズ素子 FB1～FBp を介して各々二段インバータ 601～60p の入力に接続する。各々の二段インバータ 601～60p の出力信号 BD1～p はデコード回路 16 に入力される。

【0026】

例えば、 $m = 8$ ビットであれば、 $p = 3$ である。ビット 5（101B。B は 2 進数を示す。）が欠陥ビットである場合を例に説明する。製造工程において、半導体装置に欠陥メモリセル（欠陥ビットを含むメモリセル）のアドレスを入力す

る。

RADはHighレベルになり、ビット記憶回路14のトランジスタTRB1～TRBpが全て導通する。製造工程において、欠陥ビットを示すデータ（欠陥ビット情報）に応じて、フューズ素子を溶断する。欠陥ビットを示すデータがHighレベルであれば、そのビットのフューズ素子FBkをレーザで溶断する。欠陥ビットを示すデータが0（Lowレベル）であれば、フューズ素子FBkは溶断しない。これにより、制御信号RADがHighレベルになる時（欠陥メモリセルのアドレス信号AD1～ADnが半導体装置に入力されると）、トランジスタTRB1～TRBpは、欠陥ビットを示すpビットの信号BD1～p（欠陥ビット情報。例えば101B）を出力する。

【0027】

デコード回路16は、出力信号BD1～pをデコードして、信号RB1～mを出力する。信号RB1～mは、信号BD1～pの組合せによって1本の信号がHighレベルになり、それ以外の信号はLowレベルになる。例えば出力信号BD1～pが101Bであれば、RB6のみがHighレベルになり、それ以外の信号（RB1～5、RB7～8）はLowレベルになる。信号RB1～mは、切り替え回路15に伝達される。

【0028】

図7は実施例2の切り替え回路15の構成を示す図である。切り替え回路15の選択回路701～70mは、マスクROMコア1の出力データD1～mをそれぞれ入力し、アドレス記憶回路10が出力する制御信号RADとビット記憶回路14が出力する信号RB1～mとで制御されて、出力データD1～mと出力データD1～mの反転信号とのいずれかを出力する。制御信号RADがHighレベルの場合、信号RBj（jは $1 \leq j \leq m$ の整数）がLowレベルであれば、切り替え回路15の選択回路70jは出力データDjを出力する。信号RBjがHighレベルであれば、選択回路70jはデータDjの反転信号を出力する。制御信号RADがLowレベルの場合、信号RB1～mの状態に関係なく切り替え回路15は出力データD1～mを出力する。

マスクROMにおける欠陥メモリセルは、ほとんどの場合Viaの形成不具合

に起因する。欠陥メモリセルがV i aの形成不具合に起因する場合は、フェイルするデータはフローティング状態にならず、一定に定まる（0又は1のいずれの値になるかは、回路構成により定まる。）。それ故に、図7の構成で反転回路を設けることにより、欠陥メモリセルの出力データを救済することができる。図7の構成により、救済回路の回路規模を小さくし、フューズの数削減することができる。

【0029】

以上のように構成された半導体装置のデータを読み出す動作について説明する。マスクROMコア1に欠陥のメモリセルがある場合、欠陥メモリセルのアドレスをアドレス記憶回路10のフューズFAP1～n、FAN1～nの該当するフューズを切断することで記憶する。また、欠陥メモリセルの出力ビットをビット記憶回路14のフューズFB1～pの該当するフューズを切断することで記憶する。アドレス入力信号AD1～nが欠陥メモリセルのアドレスと一致した場合、アドレス記憶回路10が出力する制御信号RADはHighレベルとなり、ビット記憶回路14の出力信号RB1～mのうちフューズFB1～pで記憶した1本の信号がHighレベルとなる。切り替え回路15は、信号RB1～mでHighレベルになったビットについてはマスクROMコア1の出力データD1～mの反転信号を出力し、信号RB1～mでLowレベルになったビットについてはマスクROMコア1の出力データD1～mをそのまま出力する。アドレス信号AD1～nが、欠陥メモリセルのアドレスと一致しない場合、アドレス記憶回路10が出力する制御信号RADはLowレベルとなり、切り替え回路15はマスクROMコア1の出力データD1～mをそのまま出力する。

【0030】

実施例2によれば、実施例1と同様に、欠陥メモリセルのデータの置換を読み出し専用記憶装置の出力データ線で行う構成により、欠陥メモリセルを置換した場合のデータの読み出し時間が、メモリセルアレイからデータを読み出した場合のデータの読み出し時間と同等である半導体装置を実現できる。

また、ビット記憶回路で欠陥ビット情報を記憶し、デコードして出力することにより、実施例1に比べて欠陥メモリセルに係るデータを記憶する回路（フュー

ズ)を少なくすることができ、チップ面積が小さい半導体装置を実現できる。

実施例2の構成に代えて、ビット記憶回路14がどのビットが欠陥であるかを示す欠陥ビット情報に加えて、欠陥ビットに格納するはずであった1ビットのデータを更に記憶しても良い。

また更に別の方法としては、図7の切り替え回路15の選択回路701～70mのH入力端子に0又は1の固定データを入力し、選択回路701～70mが出力データD1～m又は上述の固定データの何れかを出力する構成としても良い。

【0031】

《実施例3》

図8は本発明の実施例3に係る半導体装置の構成を示す回路図である。図8に示す半導体装置は、出力信号線を共有する複数のマスクROMコア（記憶装置）1a及び1b、欠陥メモリセルのデータを置換する切り替え装置2を有する。マスクROMコア1a及び1bの構成は、実施例1のマスクROMコア1と同一である。切り替え装置2は、アドレス記憶回路17、欠陥メモリセルに格納するはずであったmビットのデータを記憶するデータ記憶回路11、マスクROMコア1の出力データD1～mとデータ記憶回路11の出力データRD1～mとを入力しアドレス記憶回路10が出力する制御信号RADに従っていずれか一方を選択して出力する切り替え回路12から構成される。データ記憶回路11、切り替え回路12は、実施例1と同様であり、同一の構成要素には同一の符号を付してその説明は省略する。

【0032】

図9は実施例3の半導体装置のアドレス記憶回路17の構成を示す図である。アドレス記憶回路17は、欠陥メモリセルを含むマスクROMコア（記憶装置）の選択信号（記憶装置選択情報）と、マスクROMコアの中の置換するメモリセル（欠陥メモリセル）のアドレスとを記憶する。アドレス記憶回路17は、選択信号CS1～2とアドレス信号AD1～ADnを入力する。選択信号CS1～2はトランジスタTRC1～2のゲート端子に入力され、アドレス信号AD1～ADnはトランジスタTRP1～nのゲート端子とインバータ901～90nの入力に入力される。インバータ901～90nの出力信号はトランジスタTRN1

～nのゲート端子に入力される。各トランジスタのソースは接地し、ドレインはフューズ素子FCS1～2、FAP1～n、FAN1～nを介して同一の二段インバータ911の入力に接続する。二段インバータ911の出力である制御信号RADはデータ記憶回路11と切り替え回路12とに伝達される。

【0033】

以上のように構成された半導体装置のデータを読み出す動作について説明する。選択信号CS1が接続するマスクROMコア1に欠陥のメモリセルがある場合、欠陥メモリセルを含むマスクROMコア（記憶装置）の選択信号（記憶装置選択情報）と、欠陥メモリセルのアドレスとを、アドレス記憶回路17に入力する。アドレス記憶回路10において説明したのと同様の方法により、アドレス記憶回路17のフューズFCS1と、フューズFAP1～n、FAN1～nの該当するフューズとを切断する。このようにして、アドレス記憶回路17は欠陥メモリセルを含むマスクROMコア（記憶装置）の選択信号（記憶装置選択情報）と、欠陥メモリセルのアドレスとを記憶する。また、欠陥メモリセルに格納するはずであったデータをデータ記憶回路11のフューズFD1～mの該当するフューズを切断することで記憶する。

【0034】

選択信号CS1が選択され、かつアドレス入力信号AD1～nが欠陥メモリセルのアドレスと一致した場合、アドレス記憶回路17が出力する制御信号RADはHighレベルとなり、切り替え回路12はデータ記憶回路11のデータRD1～mを出力し、次の回路にはデータ記憶回路11のデータRD1～mが伝達される。選択信号CS2が選択された場合、又は選択信号CS1が選択されてアドレス信号AD1～nが欠陥メモリセルのアドレスと一致しない場合、アドレス記憶回路10が出力する制御信号RADはLowレベルとなり、切り替え回路12はマスクROMコア1のデータD1～mを出力し、次の回路にはマスクROMコア1の出力D1～mが伝達される。

【0035】

実施例3によれば、実施例1と同様に、欠陥メモリセルのデータの置換を読み出し専用記憶装置の出力データ線で行う構成により、欠陥メモリセルを置換した

場合のデータの読み出し時間が、メモリセルアレイからデータを読み出した場合のデータの読み出し時間と同等である半導体装置を実現できる。出力データ線を共通にする2個のマスクROMコアの間でアドレス記憶回路とデータ記憶回路とを共有する構成により、半導体装置のチップ面積の増加を抑えて2個のマスクROMコアの欠陥メモリセルのデータの置換が可能となる。

【0036】

実施例3によれば、アドレス記憶回路の信号とデータ記憶回路のデータとで欠陥メモリセルの置き換えをした。これに代えて、実施例2のようにアドレス記憶回路の信号とビット記憶回路の信号とで欠陥メモリセルのデータをビット単位で置き換えても良い。これにより、実施例2と同様の効果が得られる。

実施例3においては、出力データ線を共通にする2個のマスクROMコアについて説明した。選択信号CSを更に増やして、出力データ線を共通にする3個以上のマスクROMコアについて本発明を適用しても良い。この場合、面積増加を抑える効果は大きくなる。

【0037】

《実施例4》

図10は本発明の実施例4に係る半導体装置の構成を示す回路図である。図10に示す半導体装置は、別個の出力信号線を有する複数のマスクROMコア（記憶装置）1a及び1b、欠陥メモリセルのデータを置換する切り替え装置2を有する。マスクROMコア1a及び1bの構成は、実施例1のマスクROMコア1と同一である。切り替え装置2は、アドレス記憶回路18、欠陥メモリセルに格納するはずであったmビットのデータを記憶するデータ記憶回路11、マスクROMコア1aの出力データD11～D1mとデータ記憶回路11の出力データRD1～mとを入力し、アドレス記憶回路10が出力する制御信号RS1に従って、いずれか一方を選択して出力する切り替え回路12a、マスクROMコア1bの出力データD21～D2mとデータ記憶回路11の出力データRD1～mとを入力し、アドレス記憶回路10が出力する制御信号RS2に従って、いずれか一方を選択して出力する複数の切り替え回路12bを有する。実施例4のデータ記憶回路11、切り替え回路12a、12bは、実施例1のデータ記憶回路11、

切り替え回路 12 と同一の構成を有する。実施例 1 と同様の構成要素の説明は省略する。

【0038】

図 11 は実施例 4 の半導体装置のアドレス記憶回路 18 の構成を示す図である。アドレス記憶回路 18 は、欠陥メモリセルを含むマスク ROM コア（記憶装置）の選択信号（記憶装置選択情報）と、マスク ROM コアの中の置換するメモリセル（欠陥メモリセル）のアドレスとを記憶する。アドレス記憶回路 18 は、選択信号 CS1～2 とアドレス信号 AD11～AD1n 及び AD21～AD2n とを入力する。選択信号 CS1～2 はトランジスタ TRC1～2 のゲート端子に接続する。各トランジスタ TRC1～2 のソースは接地し、ドレインはフューズ素子 FCS1～2 を介して各二段インバータ 1161～1162 の入力に接続する。二段インバータは、出力信号 RCS1～2 を出力する。欠陥メモリセルがある場合、製造工程において、図 2 において説明したのと同様の方法により、欠陥メモリセルを含むマスク ROM コア（記憶装置）に係るフューズ FCS1 又は FCS2 を溶断する。例えばマスク ROM コア（記憶装置）1a が欠陥メモリセルを有していれば、フューズ FCS1 を溶断する。これにより、欠陥メモリセルを含むマスク ROM コア（記憶装置）に係る選択信号（例えば CS1）が High レベルになり、それ以外の選択信号（例えば CS2）は Low レベルになる。

【0039】

AND ゲート 1111～111n は、出力信号 RCS1 とアドレス AD11～AD1n とを入力する。AND ゲート 1121～112n は、出力信号 RCS2 とアドレス AD21～AD2n とを入力する。OR ゲート 1131～113n は、AND ゲート 1111～111n の出力信号と、AND ゲート 1121～112n の出力信号とを入力する。OR ゲート 1131～113n は、欠陥メモリセルを含むマスク ROM コア（記憶装置）の選択信号（記憶装置選択情報）CS1～2 を半導体装置に入力した時に、そのマスク ROM コアのアドレス信号 AD11～AD1n 又は AD21～AD2n を出力する。

【0040】

OR ゲート 1131～113n の出力は、トランジスタ TRP1～TRPn の

ゲート端子とインバータ 1141～114n の入力に接続する。インバータ 1141～114n の出力はトランジスタ TRN1～TRNn のゲート端子に接続する。各トランジスタ TRP1～TRPn、TRN1～TRNn のソースは接地し、ドレインはフューズ素子 FAP1～n、FAN1～n を介して 1 つの二段インバータ 1163 の入力に接続する。二段インバータ 1163 の出力信号（制御信号）RAD はデータ記憶回路 11 と切り替え回路 12a、12b とに伝達される。

欠陥メモリセルがある場合、製造工程において、図 2 において説明したのと同様の方法により、アドレス記憶回路 18 のフューズ FAP1～n、FAN1～n の該当するフューズを切断することで、欠陥メモリセルのアドレスを記憶する。

【0041】

選択信号 CS1～2 及びアドレス入力信号 AD11～1n 又は AD21～2n が、欠陥メモリセルを含むマスク ROM コアの選択信号及び欠陥メモリセルのアドレスと一致した場合、制御信号 RAD は High レベルとなり、欠陥メモリセルを含むマスク ROM コアの選択信号及び欠陥メモリセルのアドレスと一致しない場合、制御信号 RAD は Low レベルとなる。

AND ゲート 1151 は、選択信号 CS1 と制御信号 RAD とを入力し、制御信号 RS1 を出力する。選択信号 CS1～2 及びアドレス入力信号 AD11～1n が、欠陥メモリセルを含むマスク ROM コア 1a の選択信号 CS1 及び欠陥メモリセルのアドレスと一致した場合、制御信号 RS1 は High レベルとなる。制御信号 RS1 は切り替え回路 12a に伝達される。制御信号 RS1 が High レベルの時、切り替え回路 12a は、選択信号 CS1 で選択されるマスク ROM コア 1a の出力データをデータ記憶回路 11 の出力データ RD1～m に切り替える。

【0042】

AND ゲート 1152 は、選択信号 CS2 と制御信号 RAD とを入力し、制御信号 RS2 を出力する。制御信号 RS2 は切り替え回路 12b に伝達される。選択信号 CS2 及びアドレス入力信号 AD21～2n が、欠陥メモリセルを含むマスク ROM コア 1b の選択信号 CS2 及び欠陥メモリセルのアドレスと一致した場合、制御信号 RS2 は High レベルとなる。制御信号 RS2 が High レベルの時、

切り替え回路 12b は、選択信号 CS2 で選択されるマスク ROM コア 1b の出力データをデータ記憶回路 11 の出力データ RD1 ~ m に切り替える。

【0043】

以上のように構成された半導体装置のデータを読み出す動作について説明する。選択信号 CS1 が接続するマスク ROM コア 1 に欠陥のメモリセルがある場合、欠陥メモリセルの選択信号及びアドレスをアドレス記憶回路 18 のフューズ FCS1 と、フューズ FAP1 ~ n、FAN1 ~ n の該当するフューズとを切断することで記憶する。また、欠陥メモリセルのデータをデータ記憶回路 11 のフューズ FD1 ~ m の該当するフューズを切断することで記憶する。選択信号及びアドレス入力信号 AD11 ~ 1n が欠陥メモリセルの選択信号 CS1 及びアドレスと一致した場合、アドレス記憶回路 18 が出力する制御信号 RAD は High レベル、RS1 は High レベル、RS2 は Low レベルとなる。選択信号 CS1 で選択するマスク ROM コア 1 の出力に接続する切り替え回路 12a は、データ記憶回路 11 の出力データ RD1 ~ m を選択し、出力する。次の回路にデータ記憶回路 11 の出力データ RD1 ~ m が伝達される。選択信号 CS2 で選択するマスク ROM コア 1 の出力に接続する切り替え回路 12b はマスク ROM コア 1 の出力データ DATA21 ~ 2m を選択し、出力する。次の回路にはマスク ROM コア 1 の出力データ DATA21 ~ 2m が伝達される。

【0044】

アドレス信号 AD11 ~ 1n が、欠陥メモリセルのアドレスと一致しない場合、アドレス記憶回路 18 が出力する制御信号 RAD は Low レベル、RS1 は Low レベル、RS2 は Low レベルとなる。選択信号 CS1 で選択するマスク ROM コア 1 の出力に接続する切り替え回路 12a は、マスク ROM コア 1 の出力データ DATA11 ~ 1m を選択し、出力する。次の回路にマスク ROM コア 1 の出力データ DATA11 ~ 1m が伝達される。選択信号 CS2 で選択するマスク ROM コア 1 の出力に接続する切り替え回路 12b は、マスク ROM コア 1 の出力データ DATA21 ~ 2m を出力する。次の回路にはマスク ROM コア 1 の出力データ DATA21 ~ 2m が伝達される。

【0045】

実施例 4 によれば、実施例 1 と同様に、欠陥メモリセルのデータの置換を読み出し専用記憶装置の出力データ線で行う構成により、欠陥メモリセルを置換した場合のデータの読み出し時間が、メモリセルアレイからデータを読み出した場合のデータの読み出し時間と同等である半導体装置を実現できる。出力データ線が異なる 2 個のマスク ROM コアでアドレス記憶回路とデータ記憶回路を共有できるので、半導体装置の面積の増加を抑えて 2 個のマスク ROM コアの欠陥メモリセルのデータの置換が可能となる。

実施例 4 によれば、アドレス記憶回路の信号とデータ記憶回路のデータとで欠陥メモリセルの置き換えをした。これに代えて、実施例 2 のようにアドレス記憶回路の信号とビット記憶回路の信号とで欠陥メモリセルのデータをビット単位で置き換えても良い。これにより、実施例 2 と同様の効果が得られる。

また、実施例 4 によれば、出力データ線が異なる 2 個のマスク ROM コアについて説明した。選択信号 CS を更に増やして、出力データ線を別にする 3 個以上のマスク ROM コアについて本発明を適用しても良い。更に、実施例 3 の発明と実施例 4 の発明とを併せて実施しても良い。この場合、面積増加を抑える効果は大きくなる。

【0046】

《実施例 5》

図 12 は本発明の実施例 5 に係る半導体装置の構成を示す回路図である。図 12 に示す半導体装置は、マスク ROM コア（記憶装置）1、欠陥メモリセルのデータを置換する切り替え装置 2、冗長メモリセルを備えた書き換え可能な記憶装置 19 を有する。切り替え装置 2 は、マスク ROM コア 1 の中の置換するメモリセル（欠陥メモリセル）のアドレス及び書き換え可能な記憶装置 19 の中の冗長メモリセルに置換される欠陥メモリセルのアドレスを記憶するアドレス記憶回路 18、マスク ROM コア 1 の中の欠陥メモリセルに格納するはずであった m ビットのデータを記憶するデータ記憶回路 11、マスク ROM コア 1 の出力データ D1～m とデータ記憶回路 11 の出力データ RD1～m とを入力し、アドレス記憶回路 18 の出力信号 RS1 に従って、いずれか一方を選択して出力する切り替え回路 12 を有する。マスク ROM コア 1、データ記憶回路 11、切り替え回路 1

2は、実施例1と同一である。アドレス記憶回路18は、実施例4と同一である。同一の構成要素には同一の符号を付してその説明は省略する。

【0047】

以上のように構成された半導体装置のデータを読み出す動作について説明する。選択信号CS1が接続するマスクROMコア1に欠陥のメモリセルがある場合、アドレス記憶回路18のフューズFCS1と、フューズFAP1～n、FAN1～nの該当するフューズとを切断することで、欠陥メモリセルの選択信号及びアドレスを記憶する。また、欠陥メモリセルのデータをデータ記憶回路11のフューズFD1～mの該当するフューズを切断することで記憶する。選択信号CS1が選択され且つアドレス入力信号AD11～1nが欠陥メモリセルのアドレスと一致した場合、アドレス記憶回路18が出力する制御信号RADはHighレベル、RS1はHighレベル、RS2はLowレベルとなる。選択信号CS1で選択するマスクROMコア1の出力に接続する切り替え回路12は、データ記憶回路11のデータRD1～mを選択し、出力する。次の回路にデータ記憶回路11のデータRD1～mが伝達される。この時、選択信号CS2で選択する書き換え可能な記憶装置19には冗長メモリセルに切り替えない信号(RS2=Lowレベル)が伝達される。書き換え可能な記憶装置19は、通常通りにアドレスで指定されるメモリセルにデータを書き込み又はそのメモリセルからデータを読み出して出力する。

【0048】

アドレス信号AD11～1n及びAD21～2nが、欠陥メモリセルのアドレスと一致しない場合、アドレス記憶回路18が出力する制御信号RADはLowレベル、RS1はLowレベル、RS2はLowレベルとなる。選択信号CS1で選択するマスクROMコア1の出力に接続する切り替え回路12は、マスクROMコア1の出力データD1～mを出力する。次の回路にマスクROMコア1の出力データD1～mが伝達される。この時、書き換え可能な記憶装置19には冗長メモリセルに切り替えない信号(RS2=Lowレベル)が伝達される。

【0049】

選択信号CS2が接続する書き換え可能な記憶装置19に欠陥のメモリセルが

ある場合、アドレス記憶回路 18 のフューズ FCS2 と、フューズ FAP1 ~ n、FAN1 ~ n の該当するフューズとを切断することで、欠陥メモリセルの選択信号及びアドレスを記憶する。選択信号 CS2 が選択され且つアドレス入力信号 AD21 ~ 2n が欠陥メモリセルのアドレスと一致した場合、アドレス記憶回路 18 が出力する制御信号 RAD は High レベル、RS1 は Low レベル、RS2 は High レベルとなる。選択信号 CS2 で選択する書き換え可能な記憶装置 19 は、欠陥メモリセルに代えて、冗長メモリセルに入力データを書き込み、又は冗長メモリセルからデータを読み出して出力する。この時、切り替え回路 12 には制御信号 RS1 = Low レベルが伝達される。

【0050】

上記のように、実施例 5 によれば、実施例 1 と同様に、欠陥メモリセルのデータの置換を読み出し専用記憶装置の出力データ線で行う構成により、欠陥メモリセルを置換した場合のデータの読み出し時間が、メモリセルアレイからデータを読み出した場合のデータの読み出し時間と同等である半導体装置を実現できる。マスク ROM コアと書き換え可能な記憶装置との間でアドレス記憶回路とデータ記憶回路とを共有する構成により、半導体装置の面積の増加を抑えてマスク ROM コア及び書き換え可能な記憶装置の欠陥メモリセルのデータの置換が可能となる。

【0051】

実施例 5 によれば、アドレス記憶回路の信号とデータ記憶回路のデータとで欠陥メモリセルの置き換えをした。これに代えて、実施例 2 のようにアドレス記憶回路の信号とビット記憶回路の信号とで欠陥メモリセルのデータをビット単位で置き換えても良い。これにより、実施例 2 と同様の効果が得られる。

実施例 5 によれば、1 個のマスク ROM コアと 1 個の書き換え可能な記憶装置について説明した。選択信号 CS を更に増やして、マスク ROM コアと書き換え可能な記憶装置とを 3 個以上組合せた半導体装置について本発明を適用しても良い。この場合、面積増加を抑える効果は大きくなる。

実施例 1 ~ 5 では、冗長救済を行うべき欠陥メモリのアドレス情報、及び欠陥メモリセルのデータをフューズにより記憶しているが、これらの情報を不揮発性

メモリで記憶することとしてもよい。

【0052】

【発明の効果】

以上説明したように本発明によれば、欠陥メモリセルのデータの置換を読み出し専用記憶装置の出力データ線で行う構成により、欠陥メモリセルをアドレス記憶回路及びデータ記憶回路に置換した場合のデータの読み出し時間が、メモリセルアレイからデータを読み出した場合のデータの読み出し時間と同等である半導体装置を実現できる。

本発明によれば、ビット記憶回路で欠陥ビット情報を記憶し、デコードして出力することにより、更に小面積の半導体装置を実現できる。

本発明は、欠陥メモリセルの記憶装置選択情報及びアドレス情報を記憶する回路及びデータを記憶する回路を複数の読み出し専用記憶回路及び書き換え可能な記憶装置で共有する構成により、欠陥メモリセルを補償できる小さな面積の半導体装置を実現できるという特有の効果奏する。

【図面の簡単な説明】

【図1】

本発明の実施例1の半導体装置の構成を示すブロック図

【図2】

従来例及び本発明の実施例1のアドレス記憶回路の回路図

【図3】

従来例及び本発明の実施例1、3～5のデータ記憶回路の回路図

【図4】

本発明の実施例1、3～5の切り替え回路の回路図

【図5】

本発明の実施例2の半導体装置の構成を示すブロック図

【図6】

本発明の実施例2のビット記憶回路の回路図

【図7】

本発明の実施例2の切り替え回路の回路図

【図 8】

本発明の実施例 3 の半導体装置の構成を示すブロック図

【図 9】

本発明の実施例 3 のアドレス記憶回路の回路図

【図 10】

本発明の実施例 4 の半導体装置の構成を示すブロック図

【図 11】

本発明の実施例 4 のアドレス記憶回路の回路図

【図 12】

本発明の実施例 5 の半導体装置の構成を示すブロック図

【図 13】

従来例の半導体装置の構成を示すブロック図

【図 14】

従来例の半導体装置の切り替え回路の回路図

【符号の説明】

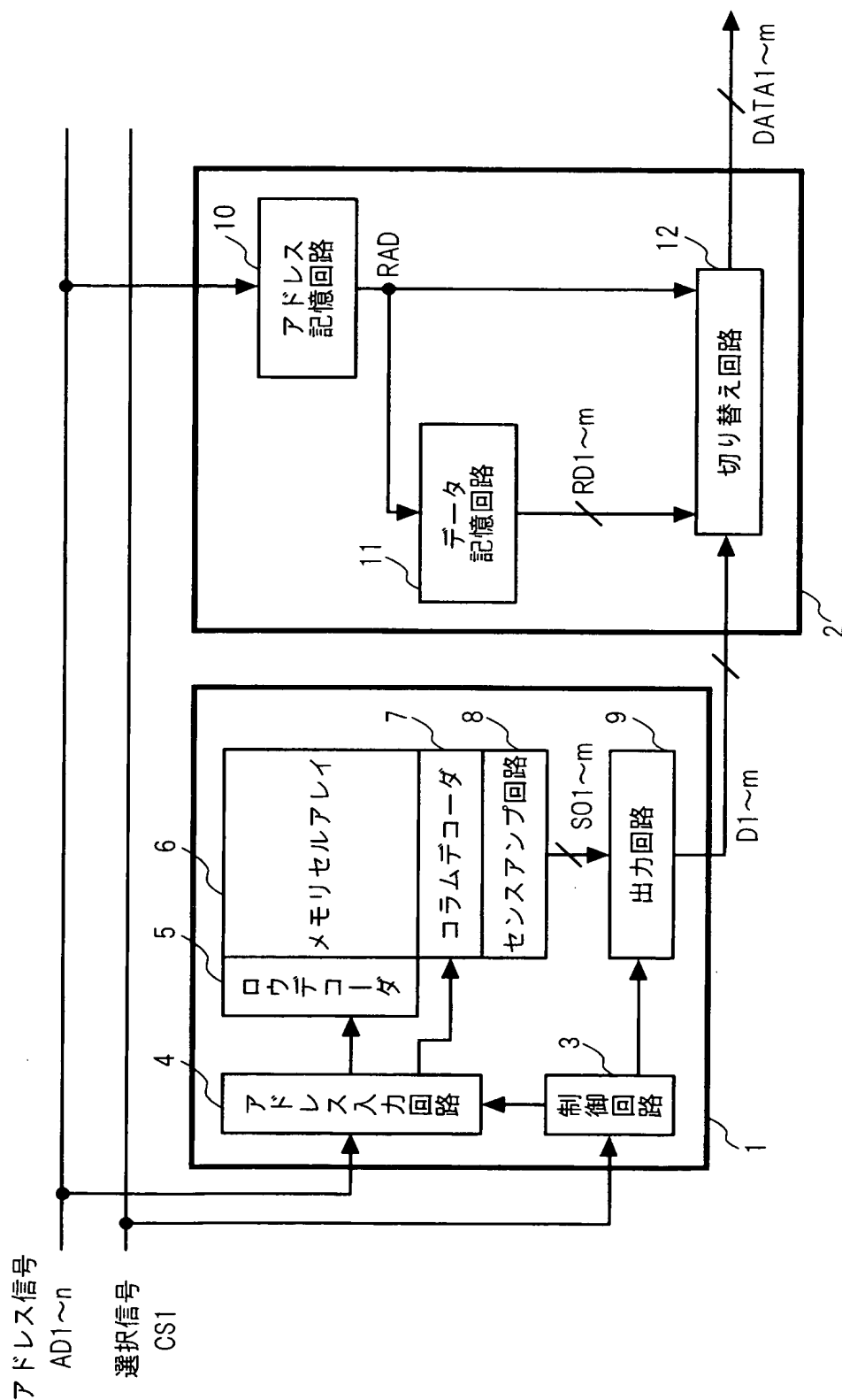
- 1 マスク ROM コア（記憶装置）
- 2 切り替え装置
- 3 制御回路
- 4 アドレス入力回路
- 5 ロウデコーダ
- 6 メモリセルアレイ
- 7 コラムデコーダ
- 8 センスアンプ回路
- 9 出力回路
- 10、17、18 アドレス記憶回路
- 11 データ記憶回路
- 12、15、20 切り替え回路
- 14 ビット記憶回路
- 16 デコード回路

1 9 書き換え可能な記憶装置

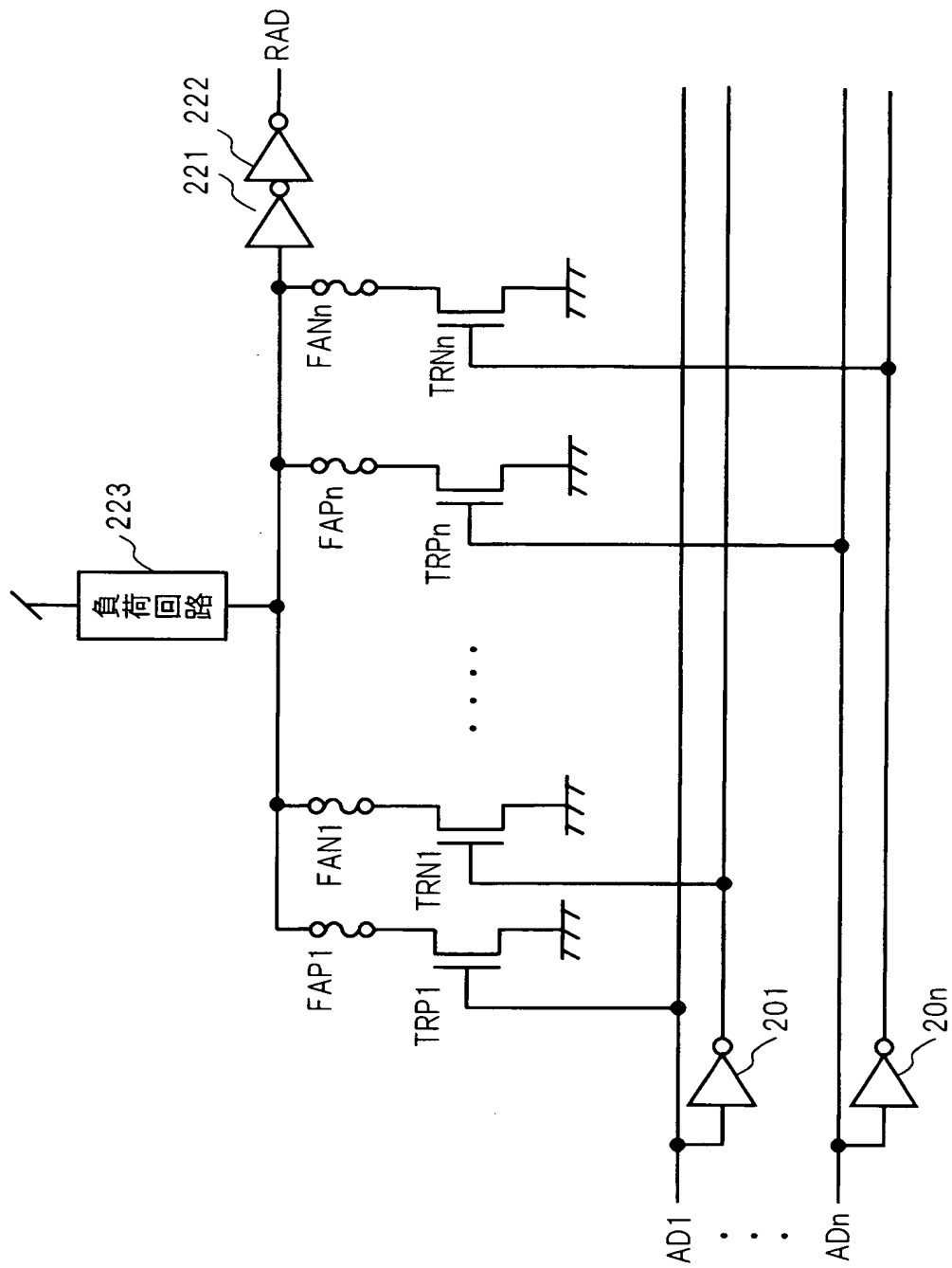
4 0 1 ~ 4 0 m、7 0 1 ~ 7 0 m、1 4 0 1 ~ 1 4 0 m 選択回路

【書類名】 図面

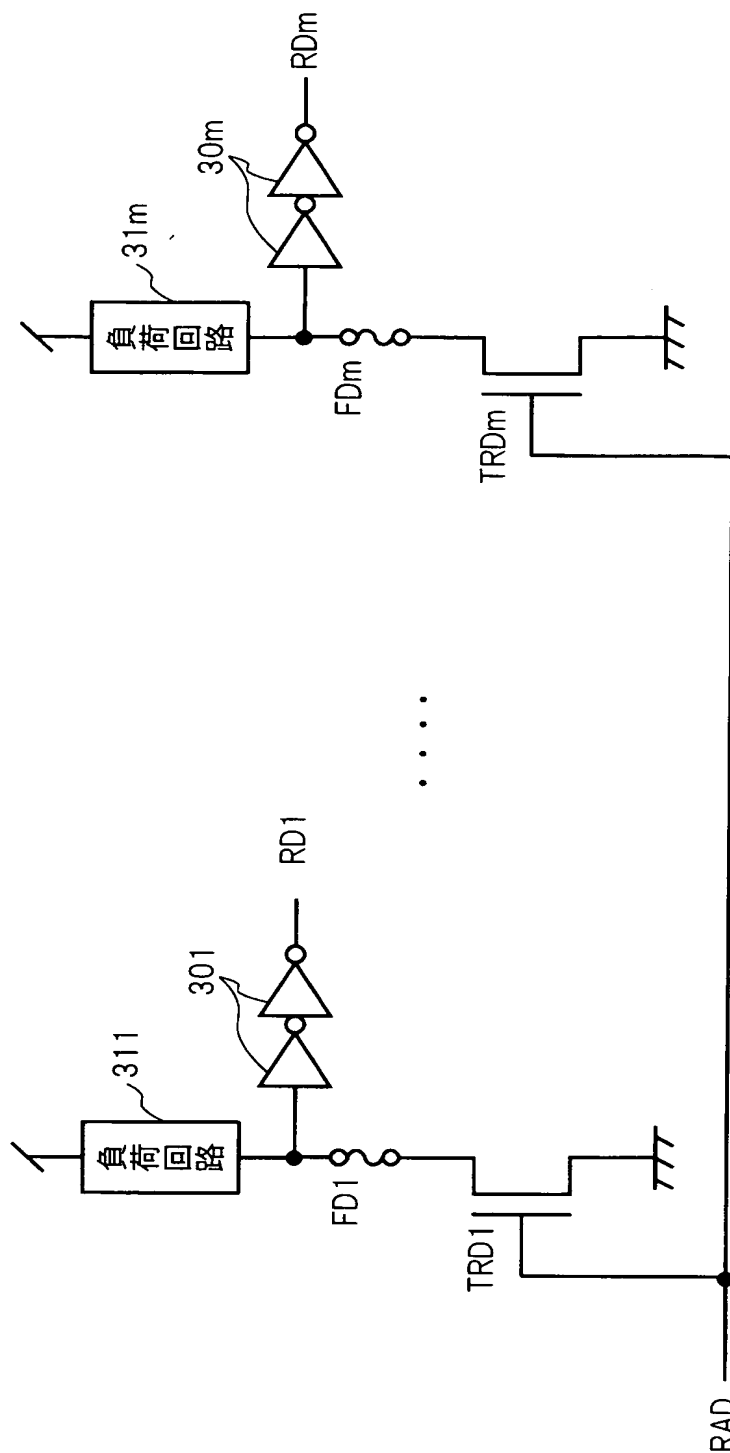
【図1】



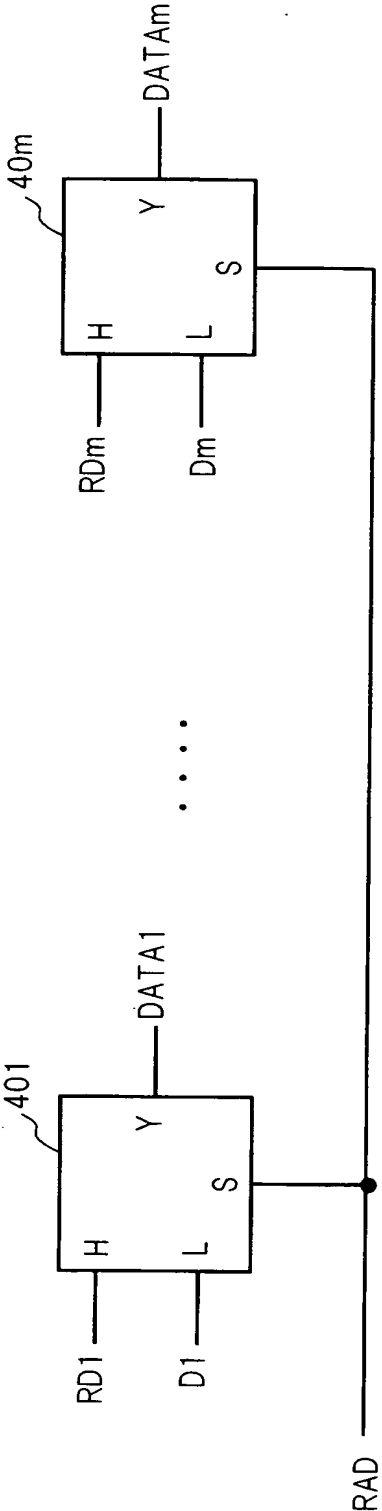
【図2】



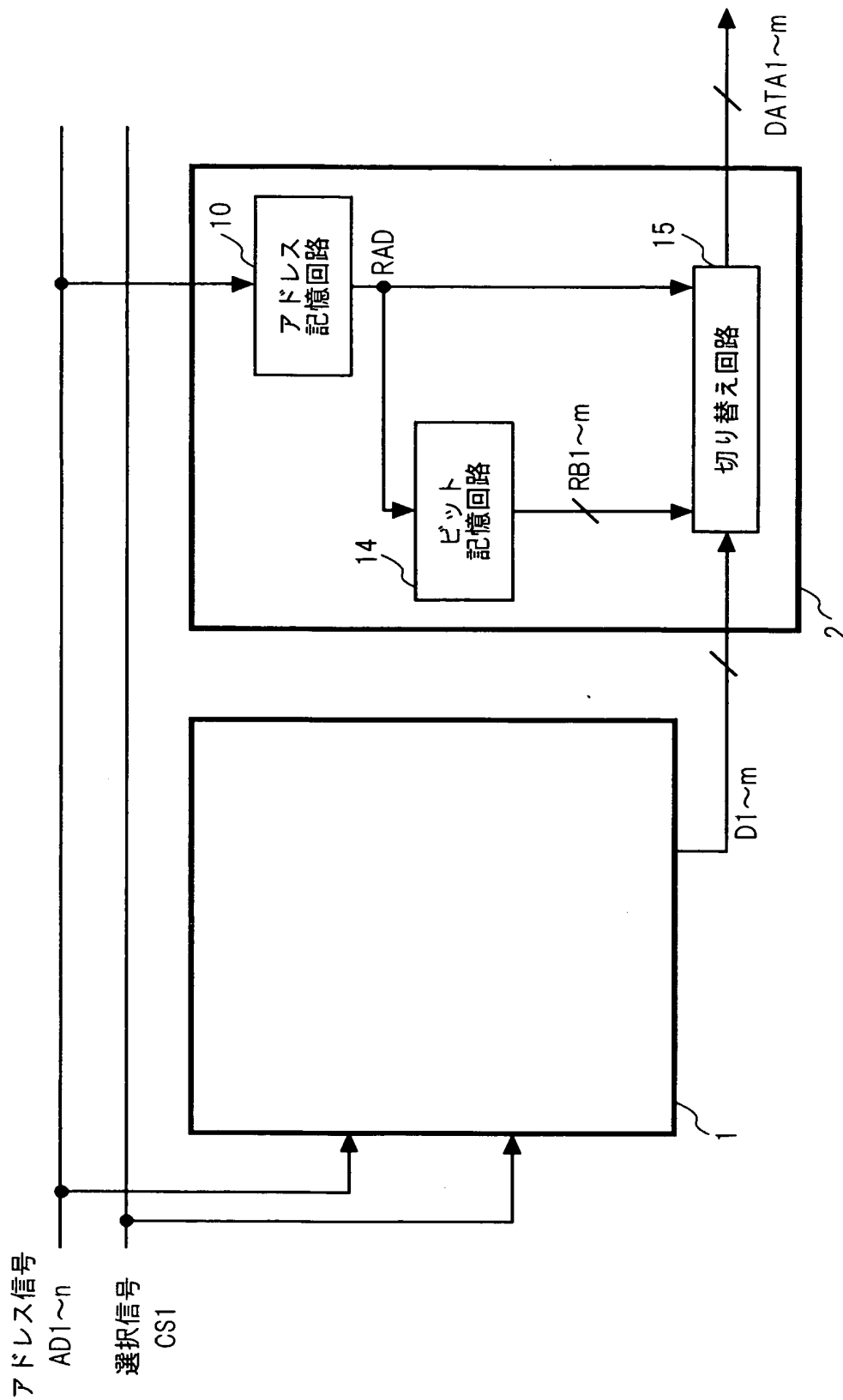
【図3】



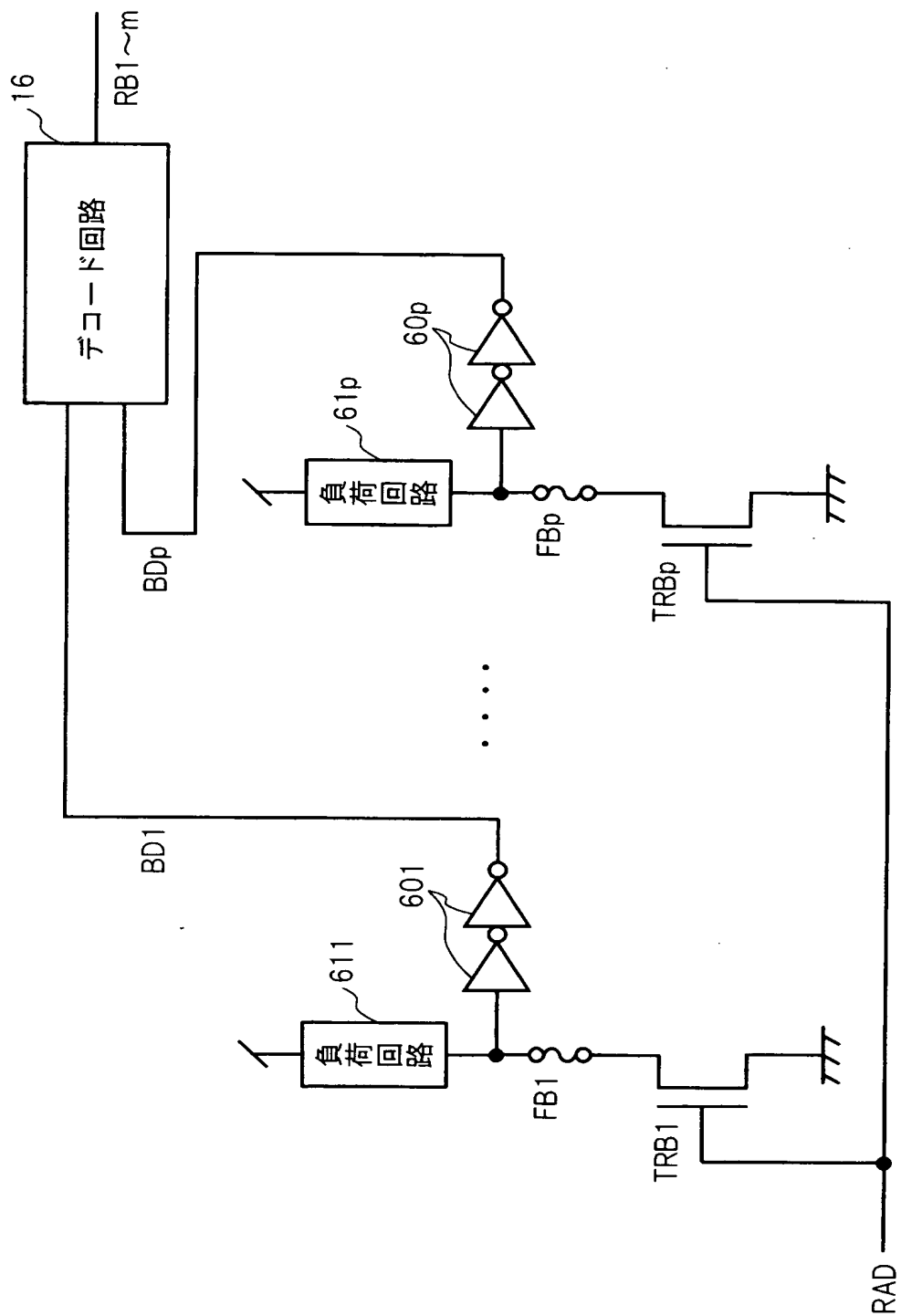
【図4】



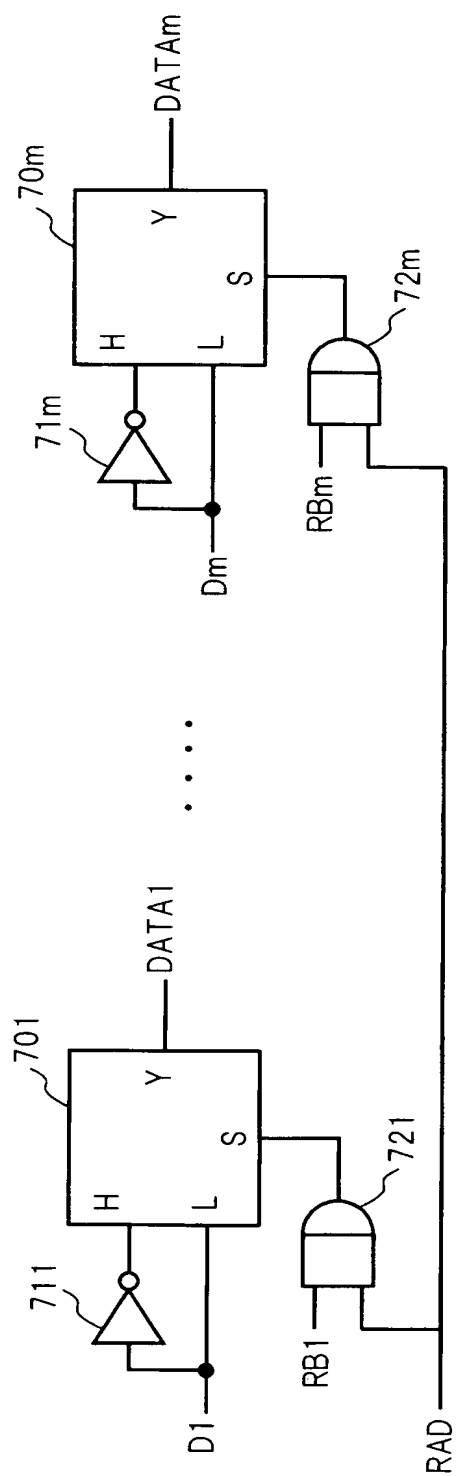
【図5】



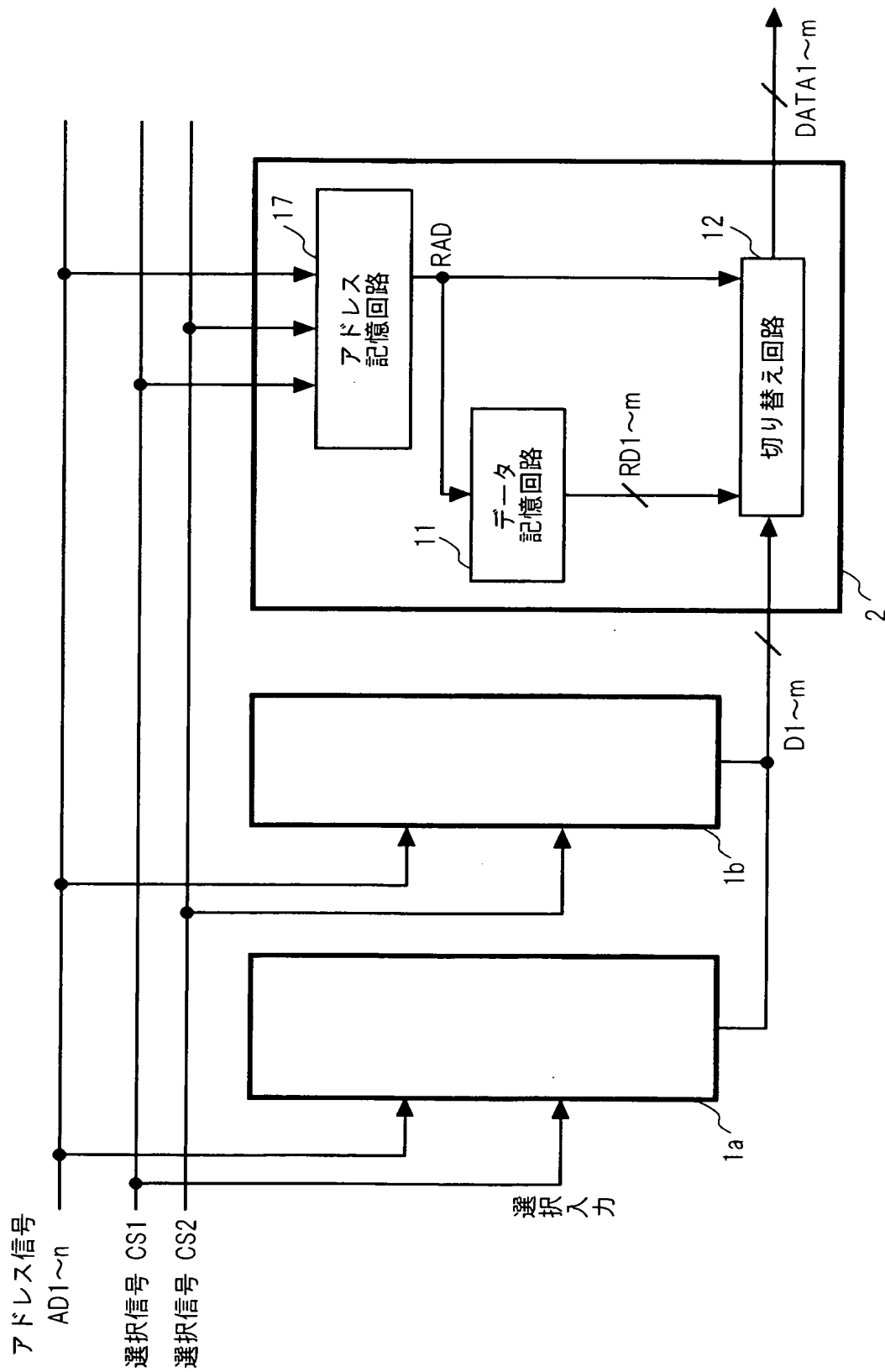
【図6】



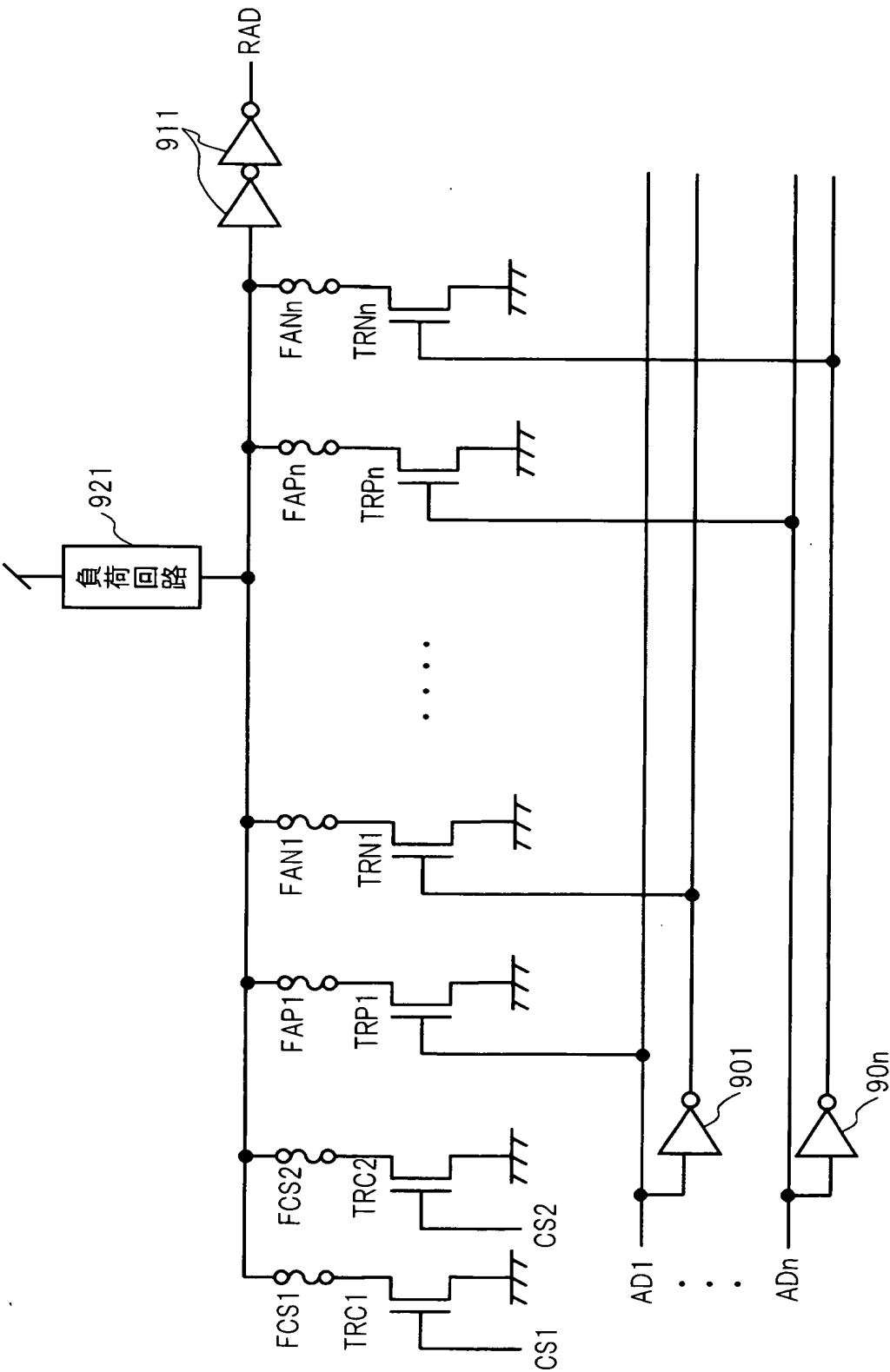
【図7】



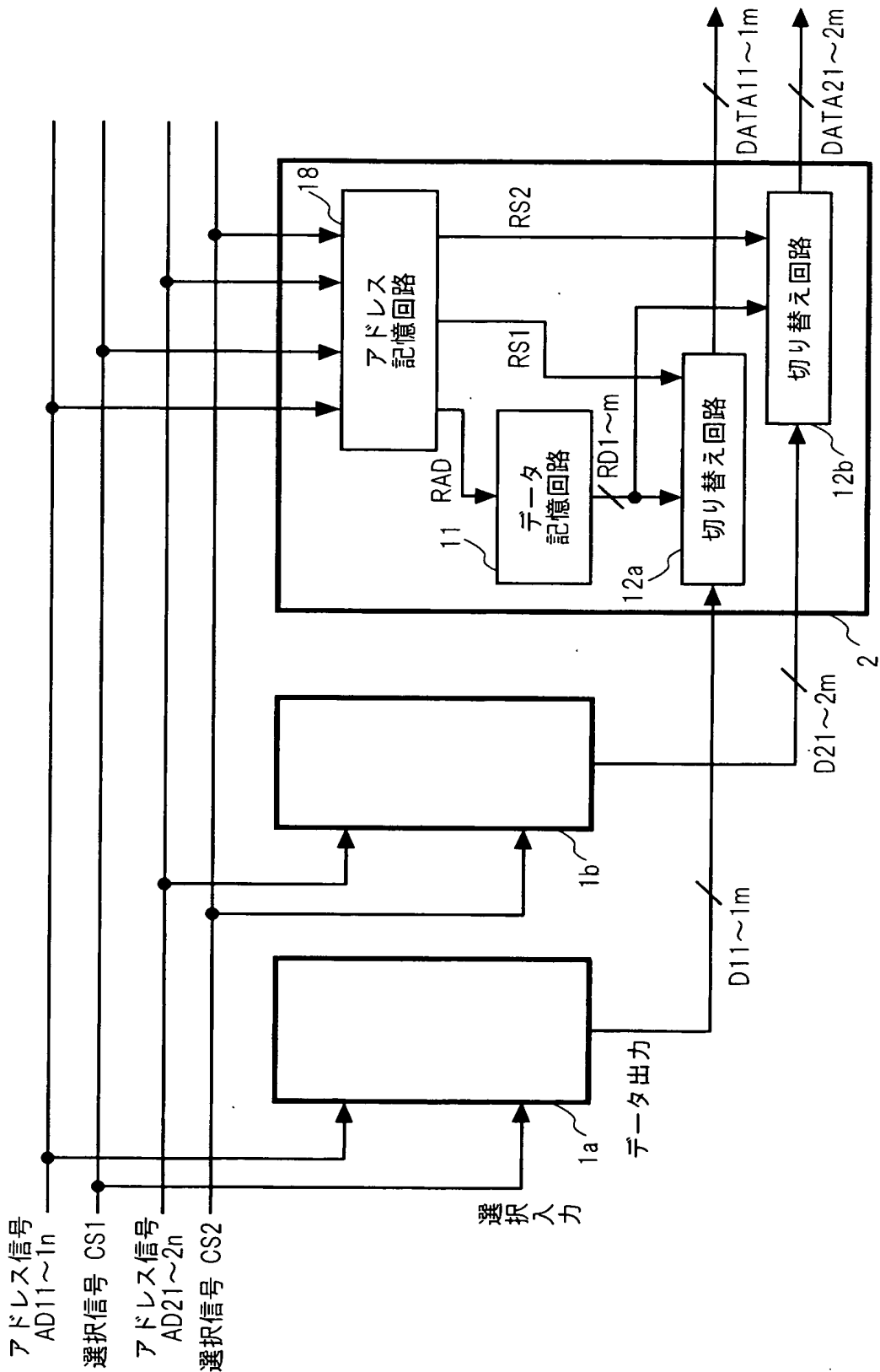
【図8】



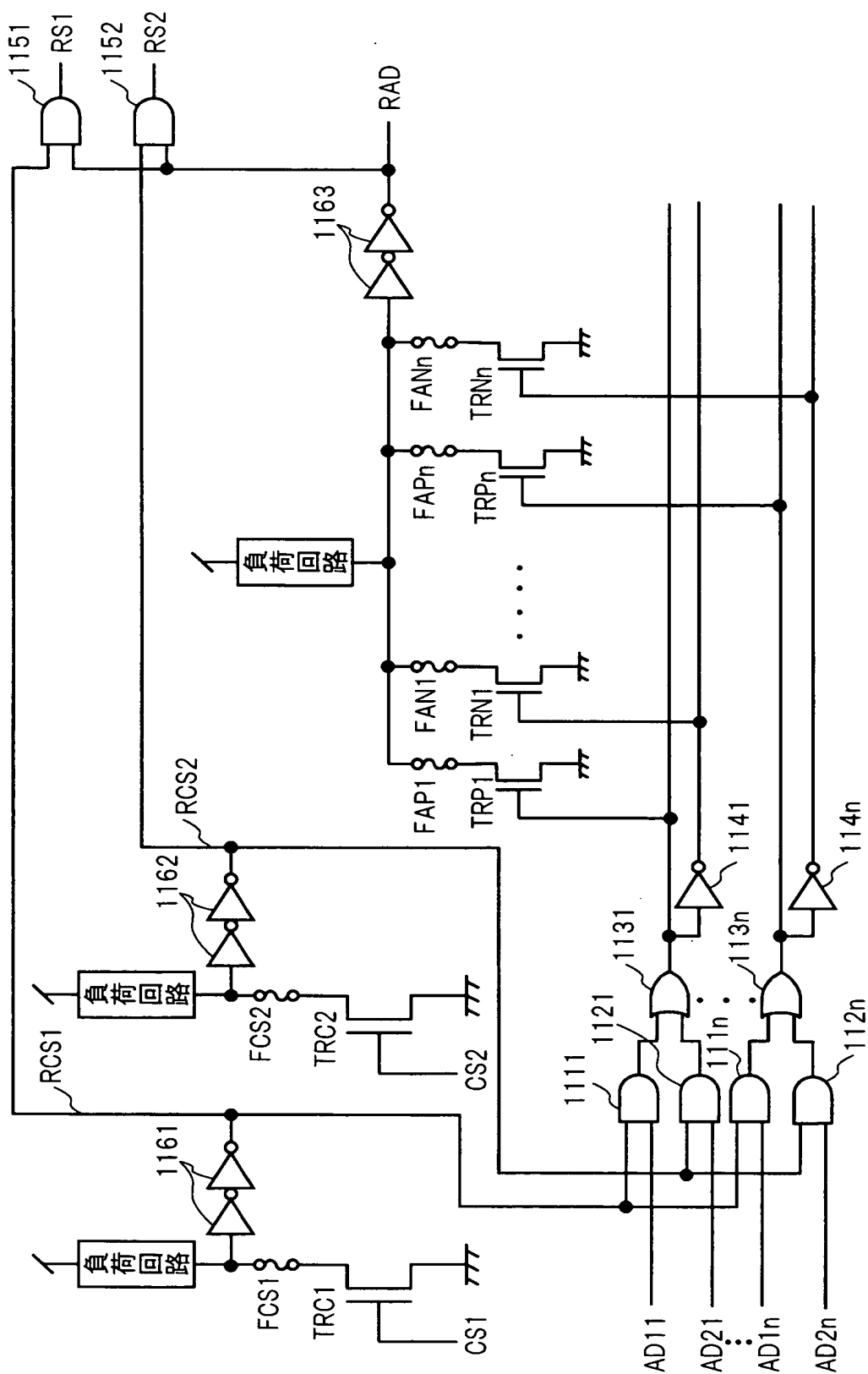
【図9】



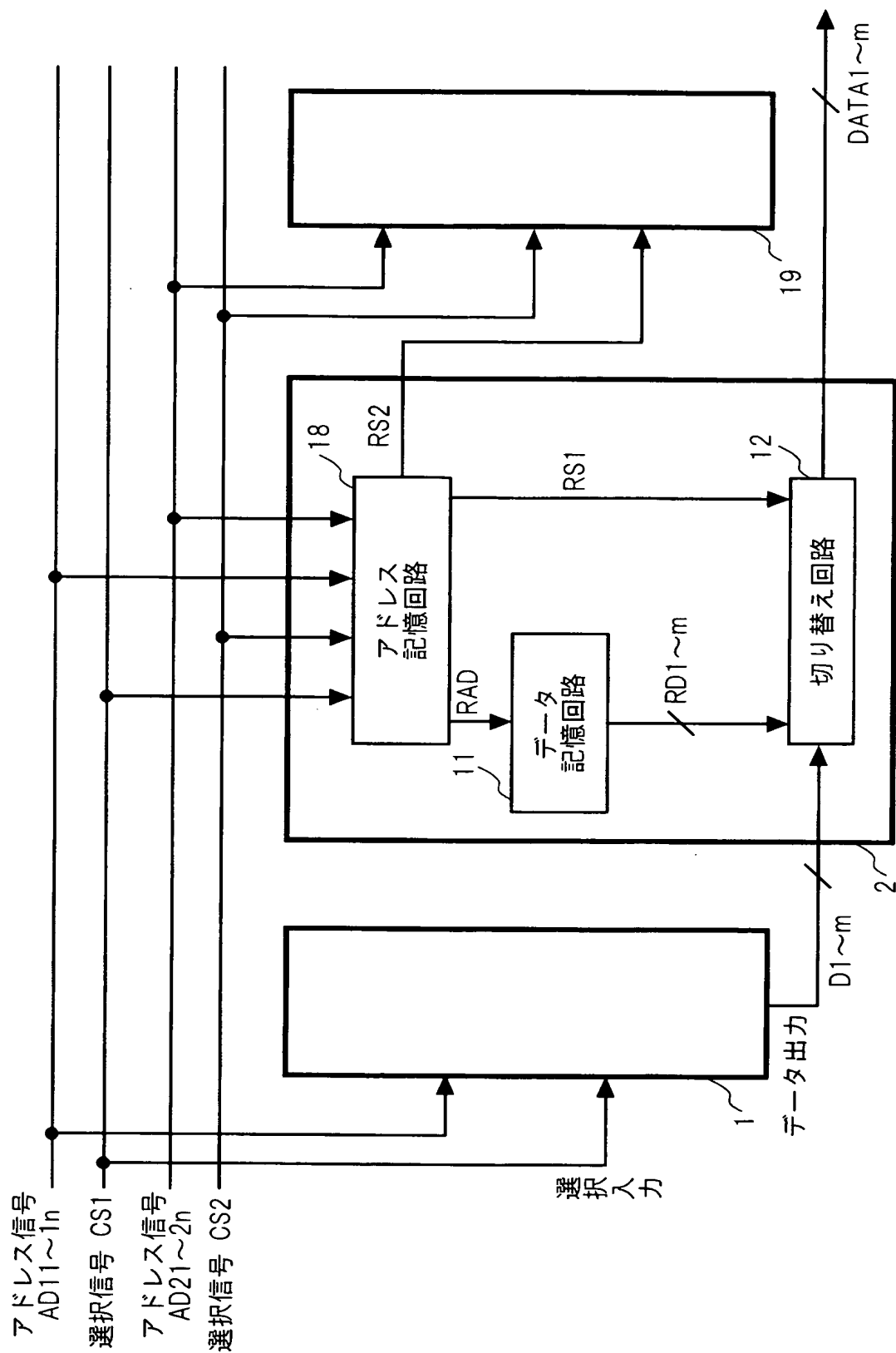
【図10】



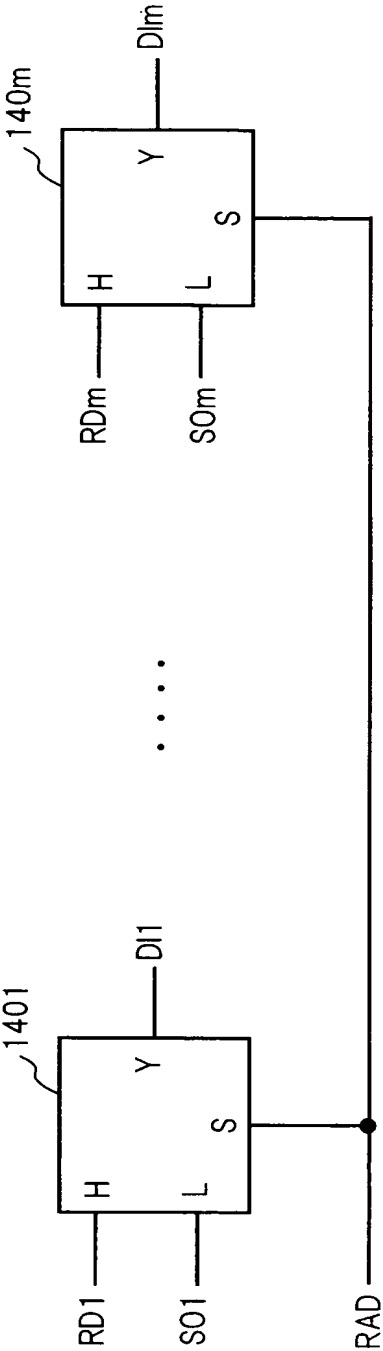
【图11】



【図12】



【図14】



【書類名】 要約書

【要約】

【課題】 欠陥メモリセルをアドレス記憶回路及びデータ記憶回路に置換した場合のデータの読み出し時間が、メモリセルアレイからデータを読み出した場合のデータの読み出し時間と同等である、チップ面積の小さい半導体装置を提供する。

【解決手段】 本発明の半導体装置は、出力データ線を共有し記憶装置選択情報及びアドレス情報に応じてメモリセルから読み出したデータを出力する複数の読み出し専用記憶装置と、切り替え装置とを有し、切り替え装置は、欠陥メモリセルの記憶装置選択情報及びアドレス情報を記憶するアドレス記憶回路と、欠陥メモリセルの置換データを記憶するデータ記憶回路と、出力データ線を通じて出力された読み出し専用記憶装置の出力データとデータ記憶回路の出力データとを入力し、アドレス記憶回路に記憶された記憶装置選択情報及びアドレス情報に基づいて、いずれか一方を出力する切り替え回路と、を有する。

【選択図】 図 8

特願 2 0 0 2 - 3 5 8 5 8 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社